

0 418061
PGI/JP 2004/012308
20.8.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

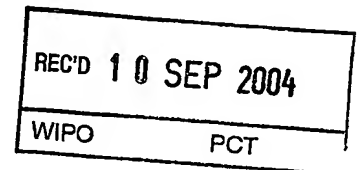
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 8月22日

出 願 番 号
Application Number: 特願2003-298661
[ST. 10/C]: [JP2003-298661]

出 願 人
Applicant(s): ソニー株式会社

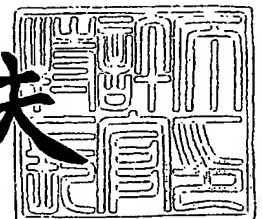


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 5月12日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 0390471704
【提出日】 平成15年 8月22日
【あて先】 特許庁長官殿
【国際特許分類】 G09G 3/36
G02F 1/33

【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社内
【氏名】 板倉 直之

【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社内
【氏名】 市川 弘明

【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社内
【氏名】 前川 敏一

【特許出願人】
【識別番号】 000002185
【氏名又は名称】 ソニー株式会社

【代理人】
【識別番号】 100094053
【弁理士】
【氏名又は名称】 佐藤 隆久

【手数料の表示】
【予納台帳番号】 014890
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9707389

【書類名】 特許請求の範囲**【請求項 1】**

所定の配列で 3 原色が割り当てられたマトリックス状配置の画素群を有し、当該画素群の列ごとに信号線が接続され、1 水平走査期間のブランキング期間を除く期間であるライン表示期間中に、3 原色の画素データが、それぞれ対応する信号線に色ごとに順次供給されて 1 つの画素ラインの色表示が行われる画像表示装置であって、

前記信号線のそれぞれにセレクトスイッチが接続され、

前記セレクトスイッチにプリチャージの制御回路が接続され、

前記プリチャージの制御回路は、前記ライン表示期間内で 3 原色の 1 色を表示させるときの信号線へのデータ供給の許可パルスを、対応する信号線のセレクトスイッチに供給してオンさせ、当該データ供給の許可パルスの印加期間中に、同じライン表示期間内で後に表示させる他の色に対応した信号線のセレクトスイッチを、当該他の色の画素データの供給時間より短い時間幅のプリチャージ許可パルスでオンさせて、当該他の色の信号線を予め所定の電位にプリチャージする

画像表示装置。

【請求項 2】

前記プリチャージの制御回路は、前記ライン表示期間内で前記データ供給の許可パルスの持続時間が短い、より後に表示する色ほど前記プリチャージ許可パルスの時間幅または数を変えてプリチャージの時間を長くする

請求項 1 に記載の画像表示装置。

【請求項 3】

前記プリチャージの制御回路は、前記ライン表示期間内で最初に表示させる色に対応する信号線に対し、1 水平走査期間の先頭部分に位置するブランキング期間で前記プリチャージ用のプリチャージ許可パルスを供給する

請求項 1 に記載の画像表示装置。

【請求項 4】

所定の配列で 3 原色が割り当てられたマトリックス状配置の画素群を有し、当該画素群の列ごとに信号線が接続され、1 水平走査期間のブランキング期間を除く期間であるライン表示期間中に、3 原色の画素データが、それぞれ対応する信号線に色ごとに順次供給されて 1 つの画素ラインの色表示が行われる画像表示パネルであって、

前記画像表示パネル内にプリチャージの制御回路が設けられ、

前記プリチャージの制御回路は、前記信号線のそれぞれに接続されたセレクトスイッチに接続され、前記ライン表示期間内で 3 原色の 1 色を表示させるときの信号線へのデータ供給の許可パルスを、対応する信号線のセレクトスイッチに供給してオンさせ、当該データ供給の許可パルスの印加期間中に、同じライン表示期間内で後に表示させる他の色に対応した信号線のセレクトスイッチを、当該他の色の画素データの供給時間より短い時間幅のプリチャージ許可パルスでオンさせて、当該他の色の信号線を予め所定の電位にプリチャージする

画像表示パネル。

【請求項 5】

所定の配列で 3 原色が割り当てられたマトリックス状配置の画素群を有し、当該画素群の列ごとに信号線が接続されている画像表示パネルに対し、画素ラインごとの駆動時に、1 水平走査期間のブランキング期間を除く期間であるライン表示期間中に、3 原色の画素データを、それぞれ対応する信号線に色ごとに順次供給するパネル駆動装置であって、

前記パネル駆動装置にプリチャージの制御回路を内蔵し、

前記プリチャージの制御回路は、前記信号線のそれぞれに接続されたセレクトスイッチに接続され、前記ライン表示期間内で 3 原色の 1 色を表示させるときの信号線へのデータ供給の許可パルスを、対応する信号線のセレクトスイッチに供給してオンさせ、当該データ供給の許可パルスの印加期間中に、同じライン表示期間内で後に表示させる他の色に対応した信号線のセレクトスイッチを、当該他の色の画素データの供給時間より短い時間幅

のプリチャージ許可パルスでオンさせて、当該他の色の信号線を予め所定の電位にプリチャージする

パネル駆動装置。

【請求項 6】

所定の配列で 3 原色が割り当てられたマトリックス状配置の画素群を有し、当該画素群の列ごとに信号線が接続され、前記信号線のそれぞれにセレクトスイッチが接続されている画像表示パネルに対し、1 水平走査期間のブランキング期間を除く期間であるライン表示期間中に、3 原色の画素データを、それぞれ対応する信号線に色ごとに順次供給して画素ラインごとの色表示を駆動する画像表示パネルの駆動方法であって、

ライン表示期間内で 3 原色の 1 色を表示させるときの信号線へのデータ供給の許可パルスを、対応する信号線のセレクトスイッチに供給してオンさせ、

当該データ供給の許可パルスの印加期間中に、同じライン表示期間内で後に表示させる他の色に対応した信号線のセレクトスイッチを、当該他の色の画素データの供給時間より短い時間幅のプリチャージ許可パルスでオンさせて、当該他の色の信号線を予め所定の電位にプリチャージする

画像表示パネルの駆動方法。

【請求項 7】

前記ライン表示期間内で前記データ供給の許可パルスの持続時間が短い、より後に表示する色ほど前記プリチャージ許可パルスの時間幅または数を変えてプリチャージの時間を長くする

請求項 6 に記載の画像表示パネルの駆動方法。

【請求項 8】

前記ライン表示期間内で最初に表示させる色に対応する信号線に対し、1 水平走査期間の先頭部分に位置するブランキング期間で前記プリチャージ用のプリチャージ許可パルスを供給する

請求項 6 に記載の画像表示パネルの駆動方法。

【書類名】 明細書

【発明の名称】 画像表示装置、画像表示パネル、パネル駆動装置および画像表示パネルの駆動方法

【技術分野】

【0001】

本発明は、1 水平走査期間のブランキング期間を除く期間であるライン表示期間中に 3 原色の画素データを順次信号線に供給する際に当該信号線を所定電位で予めプリチャージする画像表示装置、プリチャージ機能を有する画像表示パネル、および、その駆動方法に関する。

【背景技術】

【0002】

たとえば液晶ディスプレイなどの固定画素を有する画像表示装置は、よく知られているように、その有効画素部で、複数の画素回路（以下、単に画素という）がマトリックス状に配列され、かつ所定の配列で 3 原色が各画素に割り当てられている。

液晶ディスプレイの各画素は、とくに図示しないが、画素セレクト素子としての薄膜トランジスタ（TFT; thin film transistor）と、TFT のドレイン電極（またはソース電極）に画素電極が接続された液晶セルと、TFT のドレイン電極に一方の電極が接続された保持容量とから構成されている。

これら画素の各々に対して、画素行（以下、画素ラインともいう）の画素配列方向に沿って走査線が配線され、画素列の画素配列方向に沿ってデータ線と称される信号線が配線されている。各画素の TFT のゲート電極が各画素行を単位として同一の走査線に接続され、そのソース電極（または、ドレイン電極）が各画素列を単位として同一の信号線に接続されている。

【0003】

このような液晶ディスプレイなどの画像表示装置は年々高精細化が進み、それによっても走査線および信号線の負荷容量が増大している。

また、現行の NTSC (National Television System Committee) 方式の映像信号は 1 フールドが 60 Hz の周波数（時間にして約 16.7 ms）、1 フレームが 30 Hz の周波数（時間にして約 33.3 ms）と、その画面表示期間が決められている。したがって、高精細化によっても画素ラインの数が増え、1 画素ラインの表示に割り当てられる時間が短くなる。この 1 画素ラインの表示期間は、NTSC 映像信号フォーマットでいう 1 水平走査（1 H）期間のうち、先頭部分の水平ブランキング期間を除く期間である。

【0004】

高精細の画像表示装置では、有効画素部の画素群を 3 原色の色ごとに順に繰り返し表示する場合、ライン表示期間が短いことと、前述した信号線の負荷容量の増大とによって、決められた時間内に画素データの書き込みが十分でなく、予定していた輝度の色表現ができない不都合が生じている。

とくに、液晶ディスプレイでは、液晶層に同じ向きの電界を長時間印加すると液晶層が劣化することがあり、これを防止する観点から、1 画素ラインごとに画素データの極性を反転する駆動方法が一般化している。そのため、液晶ディスプレイでは平均すると、信号線電位を画素データの約 2 倍変化させる必要があり、その大きな電位差を変化させるのに時間がかかることから、高精細化によっても画素データの書き込み不足が顕著になってきている。

【0005】

図 7 に、画素データを信号線に書き込むためのパルスの波形を示す。ここで、図 7（A）は解像度が低い液晶ディスプレイの書き込みパルス波形図、図 7（B）は解像度が高い液晶ディスプレイの書き込みパルス波形図である。

ディスプレイの解像度が低い場合、信号線へのデータ供給の許可パルス Pw_1 の時間幅（持続時間（time duration））は、たとえば $12 \mu s$ と比較的長い。この許可パルス Pw_1 の立ち上がりの時間から信号線に画素データが印加され、そのときから信号線の電位 1

00が上がり始め、信号線の負荷容量により決まるCR時定数に応じて所望の電位にまで達する。この信号線の充電に要する時間 T_{pc} はパルス時間幅(12 μ s)に比べて十分小さい。

【0006】

ところが、ディスプレイの解像度が高くなると、前述したように負荷容量が急激に増大し配線のCR時定数が高くなるため、図7(A)に示す信号線電位100Aまたは100Bのように、負荷容量に応じて波形がなまり、所定の書き込み時間内に、所定の書き込み電位まで信号線電位が到達できず、つまり信号線に電荷が十分チャージできない事態が生じる。

加えて、図7(B)に示すように、書き込み時間自体が、たとえば5 μ sと短くなることから、仮に負荷容量が余り増大しない場合でも信号線への十分な電荷のチャージは困難になる。

【0007】

このような書き込み不足を解消するために、画素データの書き込みに先立って、信号線電位を予め中間電位にまで持ち上げる信号線のプリチャージ技術が知られている(たとえば、特許文献1および2参照)。

この信号線のプリチャージ技術を採用すると、図7(C)に示すように、信号線へのデータ供給の許可パルス P_w2 の立ち上がり開始点で、予め行ったプリチャージ(波形101)によって信号線電位102がある中間電位まで到達できていれば、短い許可パルス時間内に信号線電位102を所望の電位まで到達させることが可能となる。

【0008】

プリチャージ波形は、図7(C)では便宜上、画素データによる信号線充電時に重ねて描いているが、上記特許文献1および2に記載されているように、信号線のプリチャージは1水平走査期間(1H)の先頭部分に位置する水平ブランキング期間で行われることが多い。上記したディスプレイの高精細化にともなう書き込み時間の短縮は、1画素ラインの画素数の増大に加え、駆動クロック周波数が高くなるため生じることから、水平ブランキング期間も短くなって十分なプリチャージ時間の余裕がなくなることがある。また、信号線にプリチャージすべき電荷量も増えるため、このような水平ブランキング期間でのプリチャージは難しい状況になってきている。したがって、現実的には、高精細なディスプレイで図7(C)に示すようなプリチャージの効果が十分得られないという実情がある。

【0009】

より詳細な例で図8を用いて説明すると、画素数がたとえば480×320以下の低解像度液晶表示装置では、図8(A)に示すように、有効画素領域110の一端に配置された水平駆動回路111内とは別に、信号線113の反対側にプリチャージ回路112を設けている。水平駆動回路111に画素データの出力を制御するセレクトスイッチとしてのCMOSトランスファゲートTG1が信号線113ごとに設けられている。同様に、プリチャージ回路112にもCMOSトランスファゲートTG2を設け、このCMOSトランスファゲートTG2によってプリチャージ電圧の供給制御を行っている。

図8(B)に2つのCMOSトランスファゲートの詳細を示す。ディスプレイの水平駆動時に、プリチャージ回路のCMOSトランスファゲートAG2から信号線のプリチャージ信号SPCが有効画素部の信号線113に印加され、その後、水平駆動回路側のCMOSトランスファゲートTG1から画素データ信号SDTが有効画素部の信号線113に入力される。

【0010】

しかし、画素数がたとえば640×480のVGA相当以上の高解像度液晶表示装置では、前述したように、装置を駆動する駆動周波数が高くなるとともに、表示装置の配線の負荷容量が増大することから、所定の書き込み時間に信号線電位が予定している中間電位まで到達しなくなり、書き込み不足が生じ、その結果、鮮明な映像が得られなくなる。

その場合、安定したプリチャージを行うために、CMOSトランスファゲートTG2の素子サイズを増大させなければならず、プリチャージ回路の占める面積が増大する。加え

て信号線 113 のインピーダンスを下げる必要があり、配線幅を太くしなければならないなどの理由により、同様に、プリチャージのための配線の基板内面積占有率が增大するという問題が発生する。また、一括プリチャージでは高いプリチャージ能力が要求されることから、図 9 に全体のブロック図で示すように水平駆動回路 (HDRV) 111 とプリチャージ回路 (PCH) 112 を分けて配置するか、あるいは、2 つの水平駆動回路の一方をプリチャージ機能付としなければならず、プリチャージ回路のエリアペナルティの増大が問題となる。

【0011】

さらに、3 原色の色ごとにプリチャージすべき最低限の電荷量も異なることがあるが、そのような場合、水平ブランキング期間での一括プリチャージでは無駄なプリチャージが一部の色で行われてしまうという問題も生じている。

【特許文献 1】特開平 10-011032 号公報

【特許文献 2】特開 2003-177720 号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明が解決しようとする第 1 の課題は、画像表示装置の高精細化によって、駆動クロックが高速化し、信号線に画素データを供給する時間が短くなり、また、信号線負荷容量が増大するなどの原因で信号線への十分なプリチャージが困難になってきていることである。また、第 2 の課題は、3 原色のあるいはラインごとの一括プリチャージでは高いプリチャージ能力が要求され、プリチャージ回路の規模が増大してエリアペナルティが大きく、また、無駄な電力消費が生じていることである。

【課題を解決するための手段】

【0013】

本発明にかかる画像表示装置は、所定の配列で 3 原色が割り当てられたマトリックス状配置の画素群を有し、当該画素群の列ごとに信号線が接続され、1 水平走査期間のブランキング期間を除く期間であるライン表示期間中に、3 原色の画素データが、それぞれ対応する信号線に色ごとに順次供給されて 1 つの画素ラインの色表示が行われる画像表示装置であって、前記信号線のそれぞれにセレクトスイッチが接続され、前記セレクトスイッチにプリチャージの制御回路が接続され、前記プリチャージの制御回路は、前記ライン表示期間内で 3 原色の 1 色を表示させるときの信号線へのデータ供給の許可パルスを、対応する信号線のセレクトスイッチに供給してオンさせ、当該データ供給の許可パルスの印加期間中に、同じライン表示期間内で後に表示させる他の色に対応した信号線のセレクトスイッチを、当該他の色の画素データの供給時間より短い時間幅のプリチャージ許可パルスでオンさせて、当該他の色の信号線を予め所定の電位にプリチャージする。

【0014】

好適に、前記プリチャージの制御回路は、前記ライン表示期間内で前記データ供給の許可パルスの持続時間が短い、より後に表示する色ほど前記プリチャージ許可パルスの時間幅または数を変えてプリチャージの時間を長くする。

また、好適に、前記プリチャージの制御回路は、前記ライン表示期間内で最初に表示させる色に対応する信号線に対し、1 水平走査期間の先頭部分に位置するブランキング期間で前記プリチャージ用のプリチャージ許可パルスを供給する。

【0015】

本発明にかかる画像表示パネルは、所定の配列で 3 原色が割り当てられたマトリックス状配置の画素群を有し、当該画素群の列ごとに信号線が接続され、1 水平走査期間のブランキング期間を除く期間であるライン表示期間中に、3 原色の画素データが、それぞれ対応する信号線に色ごとに順次供給されて 1 つの画素ラインの色表示が行われる画像表示パネルであって、前記画像表示パネル内にプリチャージの制御回路が設けられ、前記プリチャージの制御回路は、前記信号線のそれぞれに接続されたセレクトスイッチに接続され、前記ライン表示期間内で 3 原色の 1 色を表示させるときの信号線へのデータ供給の許可パ

ルス、対応する信号線のセレクトスイッチに供給してオンさせ、当該データ供給の許可パルスの印加期間中に、同じライン表示期間内で後に表示させる他の色に対応した信号線のセレクトスイッチを、当該他の色の画素データの供給時間より短い時間幅のプリチャージ許可パルスでオンさせて、当該他の色の信号線を予め所定の電位にプリチャージする。

【0016】

本発明にかかるパネル駆動装置は、所定の配列で3原色が割り当てられたマトリックス状配置の画素群を有し、当該画素群の列ごとに信号線が接続されている画像表示パネルに対し、画素ラインごとの駆動時に、1水平走査期間のブランキング期間を除く期間であるライン表示期間中に、3原色の画素データを、それぞれ対応する信号線に色ごとに順次供給するパネル駆動装置であって、前記パネル駆動装置にプリチャージの制御回路を内蔵し、前記プリチャージの制御回路は、前記信号線のそれぞれに接続されたセレクトスイッチに接続され、前記ライン表示期間内で3原色の1色を表示させるときの信号線へのデータ供給の許可パルスを、対応する信号線のセレクトスイッチに供給してオンさせ、当該データ供給の許可パルスの印加期間中に、同じライン表示期間内で後に表示させる他の色に対応した信号線のセレクトスイッチを、当該他の色の画素データの供給時間より短い時間幅のプリチャージ許可パルスでオンさせて、当該他の色の信号線を予め所定の電位にプリチャージする。

【0017】

本発明にかかる画像表示パネルの駆動方法は、所定の配列で3原色が割り当てられたマトリックス状配置の画素群を有し、当該画素群の列ごとに信号線が接続され、前記信号線のそれぞれにセレクトスイッチが接続されている画像表示パネルに対し、1水平走査期間のブランキング期間を除く期間であるライン表示期間中に、3原色の画素データを、それぞれ対応する信号線に色ごとに順次供給して画素ラインごとの色表示を駆動する画像表示パネルの駆動方法であって、ライン表示期間内で3原色の1色を表示させるときの信号線へのデータ供給の許可パルスを、対応する信号線のセレクトスイッチに供給してオンさせ、当該データ供給の許可パルスの印加期間中に、同じライン表示期間内で後に表示させる他の色に対応した信号線のセレクトスイッチを、当該他の色の画素データの供給時間より短い時間幅のプリチャージ許可パルスでオンさせて、当該他の色の信号線を予め所定の電位にプリチャージする。

【0018】

本発明での動作を、以下、BGRの順で色表示する画像表示装置を例に述べる。

あるラインが選択され、その1水平走査期間のブランキング期間が終了しライン表示期間になると、この表示対象の画素ラインを構成する画素のうち、3原色の1色、たとえば「青(B)」の画素が接続された信号線にデータ供給を許可する許可パルスがプリチャージの制御回路から、当該信号線に接続されたセレクトスイッチに印加される。これにより、「B」の画素データがたとえば3本に1本の割合で信号線に供給され、色表示に供せられる。このBデータ供給の許可パルスの印加途中で、かつ、つぎの「緑(G)」のデータ供給の前のタイミングで、Gデータ供給予定の信号線に対しプリチャージが行われる。つまり、G画素が接続された信号線のセレクトスイッチにプリチャージ許可パルスが印加される。このプリチャージ許可パルスの時間幅は、G画素データパルスより短いため、このプリチャージによって信号線に中間電位が設定される。その後、Gデータ供給の許可パルスが印加され、「G」の画素データが3本に1本の割合で信号線に供給され、色表示に供せられる。

以下、同様に、Gデータ供給の許可期間に「赤(R)」のプリチャージが行われる。なお、最初のBデータ供給の許可期間にも「R」のプリチャージを行ってもよく、この場合、後に表示される色ほどプリチャージ時間が長くなり、あるいはプリチャージ量が大きくなる。

このようなライン表示が繰り返されて1画面の映像表示が終了する。

【発明の効果】**【0019】**

本発明の画像表示装置、画像表示パネル、パネル駆動装置、および、画像表示パネルの駆動方法では、液晶表示装置の高解像度化あるいは高精細化が進んでも、色表示の際の動作不良や画質劣化が起きにくいという利点がある。また、短い時間幅のパルス駆動であるため、一括プリチャージに比較すると無駄な電力消費が少ない。とくに色ごとに必要なプリチャージ量を設定できるので、この点でも電力的に無駄がない。したがって、プリチャージの制御回路の面積、規模を必要最小限にできる。

【発明を実施するための最良の形態】

【0020】

本発明は、いわゆる線順次駆動、点順次駆動のいずれにも適用できる。ここでは、線順次駆動の一種であり、一度に水平駆動する配線数をマルチプレックス制御により減らした、いわゆるマルチプレックス方式（あるいはセクタ方式ともいう）を例として、本発明の実施の形態を説明する。ここで、「線順次」とは「1画素ラインの表示期間内にRGBの色ごとに1度ずつ色表示を行う水平駆動方式」をいい、「点順次」とは「1画素ラインの表示期間内にRGBの色表示を順次に、かつ画素ごとに繰り返し行う水平駆動方式」をいう。

【0021】

図1は、本実施の形態にかかる液晶表示装置の構成例を示すブロック図である。

液晶表示装置1は、図1に示すように、有効画素部2、垂直駆動回路（VDRV）3、およびプリチャージ回路を内蔵した水平駆動回路（HDRV & PCH）4を有している。この水平駆動回路4内のプリチャージ回路（PCH）の構成が本実施の形態の大きな特徴の一つである。

【0022】

有効画素部2で、複数の画素（以下、画素回路という）21がマトリックス状に配列されている。各画素回路21は、画素セレクト素子としての薄膜トランジスタ（TFT; thin film transistor）TFT21と、TFT21のドレイン電極（またはソース電極）に画素電極が接続された液晶セルLC21と、TFT21のドレイン電極に一方の電極が接続された保持容量Cs21とにより構成されている。

これら画素回路21の各々に対して、走査線5-1～5-mが行ごとにその画素配列方向に沿って配線され、信号線6-1～6-nが列ごとにその画素配列方向に沿って配線されている。

各画素回路21のTFT21のゲート電極は、行単位で決められた走査線5-1～5-mのいずれかに接続されている。また、各画素回路21のTFT21のソース電極（または、ドレイン電極）は、列単位で決められた信号線6-1～6-nのいずれかに接続されている。

さらに、一般的な液晶表示装置と同様、保持容量配線Csを独立に配線し、この保持容量配線Csと画素電極との間に保持容量Cs21が形成されている。保持容量配線Csに、コモン電圧Vcomと同相の水平方向駆動パルスCSが入力される。

各画素回路21の液晶セルLC21の他方の電極（共通電極）は、1水平走査期間（1H）ごとに極性が反転するコモン電圧Vcomの供給ライン7に接続されている。

【0023】

各走査線5-1～5-mは、垂直駆動回路3により駆動され、各信号線6-1～6-nは水平駆動回路4により駆動される。

【0024】

垂直駆動回路3は、1フィールド期間ごとに垂直方向（列方向）に走査して走査線5-1～5-mに接続された画素回路21を行単位で順次選択する処理を行う。

すなわち、垂直駆動回路3から走査線5-1に対して走査パルスSP1が与えられたときには第1行目の各列の画素が選択され、走査線5-2に対して走査パルスSP2が与えられたときには第2行目の各列の画素が選択される。以下同様にして、走査線5-3, …, 5-mに対して走査パルスSP3 (, …, SPm) が順に与えられる。

【0025】

水平駆動回路4は、図示しないクロックジェネレータにより供給されるセレクト信号のパルスをレベルシフトする回路であり、この動作によって入力される映像信号を線順次で各画素回路に書き込みを行う。また、その内蔵のプリチャージ回路は、線順次駆動時のRGBの色表示のために信号線6-1~6-nを予め所定の電位にプリチャージする回路である。

【0026】

図2は、このプリチャージ機能付き水平駆動回路4のマルチプレクサ構成のセレクトの回路図である。このセレクトは、各信号線に画素データまたはプリチャージ電圧の供給許可を、制御回路からの制御信号に基づいて制御する回路である。

図2に示すセレクト30は、画素データの供給許可を制御する第1のセレクトスイッチ回路部30Aと、プリチャージ電圧 V_{pc} の供給許可を制御する第2のセレクトスイッチ回路部30Bとに大別される。

第1のセレクトスイッチ回路部30Aは、セレクトスイッチ31-R, 31-G, 31-B、…、34-R, 34-G, 34-B (、…、3n-R, 3n-G, 3n-B)を有する。第1のセレクトスイッチ回路部30Aは、制御回路40から入力された制御信号S40Aにより各セレクトスイッチをオンまたオフし、画素回路21に書き込むデータ信号SDT1~SDT4 (、…)を選択し、各信号線6-1~6-nに供給して、映像を描いている。

【0027】

この液晶表示装置で、色の3原色データであるR(赤)データ、G(緑)データ、およびB(青)データが各信号線に順次に供給される。具体的に、まずBデータを信号線6-1~6-nのうち3本に1本割合で、選択ラインのB画素が接続された信号線に供給し、つぎに、Gデータを、同様にして選択ラインのG画素が接続された信号線に供給し、最後に、Rデータを、同様にして選択ラインのR画素が接続された信号線に供給して、各画素回路21にRGBデータを書き込み、映像を描く。なお、ここでは1画素に1色の表示としているが、RGBで1つの画素として定義してもよい。この場合、各信号線6-1~6-nに対しては、それぞれ3つのセレクトスイッチが接続されることとなる。

図2は、B対応のセレクトスイッチ31-B~34-Bのみがオンされている状態を示している。Bデータの書き込みが終了すると、G対応のセレクトスイッチ31-G~34-GのみをオンさせてGデータを書き込む。Gデータの書き込みが終了すると、R対応のセレクトスイッチ31-R~34-RのみをオンさせてRデータを書き込む。なお、RGBの配列およびデータ書き込みの順位は任意である。

【0028】

一方、プリチャージ用の第2のセレクトスイッチ回路部30Bは、第1のセレクトスイッチ回路部30Aと同数のセレクトスイッチ51-R, 51-G, 51-B、…、54-R, 54-G, 54-B (、…、5n-R, 5n-G, 5n-B)を有している。これらのセレクトスイッチは、第1のセレクトスイッチ回路部30Aの1つのセレクトスイッチと並列に各信号線に対し接続されている。つまり、最初の3列では、セレクトスイッチ31-Rと51-R、31-Gと51-G、31-Bと51-Bが、それぞれ対となって信号線に接続されている。他の列でも同様な接続関係が繰り返されている。セレクトスイッチ51-R~54-Bの信号線と反対側の端子はプリチャージ電圧 V_{pc} の供給線に共通に接続されている。

第2のセレクトスイッチ回路部30Bは、制御回路40から入力された制御信号S40Bにより各セレクトスイッチをオンまたオフし、プリチャージ電圧 V_{pc} を供給すべき各信号線6-1~6-nを選択し、また、そのプリチャージ電荷量(プリチャージ電圧 V_{pc} が一定の場合は、プリチャージ時間)を制御する。

【0029】

図3に、より具体的な回路例を、プリチャージ用の第2のセレクトスイッチ回路部30Bを例として示す。また、1つのセレクトスイッチの拡大図を図4(A)に示す。なお、画素データ供給用の第1のセレクトスイッチ30Aの構成が図3と異なる点は、各セレクト

トスイッチの一方端子が全て共通ではなく、RGBごとに共通化されて画素データ信号SDT1～SDT4の供給線に接続されていることで(図2参照)、スイッチ構成自体は同じであることから、ここでの説明は省略する。

図2に示すセレクトスイッチ51-R, 51-G, 51-B、…、54-R, 54-G, 54-B(…、5n-R, 5n-G, 5n-B)のそれぞれは、図4(A)に示すように、pチャネルMOS(PMOS)トランジスタ5PとnチャネルMOS(NMOS)トランジスタ5Nのソース(「S」)同士、ドレイン(「D」)同士を接続したトランスファゲートTMG-R, TMG-GまたはTMG-B(図4(A)ではTMGと一括して表記)により構成される。

なお、CMOS構成としない場合、セレクトスイッチを図4(B)に示す1つのNMOSトランジスタで構成させることも可能である。

【0030】

各トランスファゲートは相補的レベルをとるセレクト信号SEL1, XSEL1, SEL2, XSEL2, SEL3, XSEL3によりそれぞれ導通制御される。これらのセレクト信号の集合が制御信号S40Bとなる。

具体的に、Rデータ用セレクトスイッチ51-R～54-Rを構成するトランスファゲートTMG-Rはセレクト信号SEL1, XSEL1により導通制御される。Gデータ用セレクトスイッチ51-G～54-Gを構成するトランスファゲートTMG-Gはセレクト信号SEL2, XSEL2により導通制御される。Bデータ用セレクトスイッチ51-B～54-Bを構成するトランスファゲートTMG-Bはセレクト信号SEL3, XSEL3により導通制御される。

【0031】

このような構成にすることにより、マルチプレックス方式で信号線に画素データを供給するときに用いるセレクトスイッチと、プリチャージ用のセレクトスイッチとを近接して設けることができ、そのため画像表示パネルの駆動装置(たとえば、駆動IC)内でトランジスタのスイッチング特性が揃って、タイミング制御が正確にできるという利点がある。

【0032】

つぎに、プリチャージ動作を、図5に示すタイミングチャートを参照して説明する。

図5(A)に示す水平パルス60としては、たとえば図1に示す水平方向駆動パルスCS、あるいは、画素ラインごとに映像データおよびプリチャージ電圧を反転するためのパルスなどを用いることができる。この水平パルス60より前の所定時間は、水平走査期間(1H)内の水平ブランキング期間(1HB)に対応し、この水平パルス期間がライン表示期間に相当する。

【0033】

図5(C)、図5(E)および図5(G)に、それぞれ、B(青)信号の画像データパルス61B(パルス時間幅:T1)、G(緑)信号の画像データパルス61G(パルス時間幅:T2)、および、R(赤)信号の画像データパルス61R(パルス時間幅:T3)を示している。線順次では、このように所定の順でRGB信号の色表示が1画素ラインで1サイクルだけ行われる。

B, G, Rに対するプリチャージパルスは、各色の画像データパルスの前に示される短い時間の任意の個数のパルス62B, 62Gおよび62Rで示される。各色のパルスをここでは3個示しているが、その数は任意で、色ごとに異なってもよい。B信号に対するプリチャージパルス62Bの個数は0個、すなわち省略してもよい。B信号に対するプリチャージパルス62Bの印加は、画像データパルス61Bの印加より前に行う必要があり、同様に、G信号に対するプリチャージパルス62Gの印加は、画像データパルス61Gの印加より前に行う必要があり、R信号に対するプリチャージパルス62Rの印加は、画像データパルス61Rの印加より前に行う必要がある。

通常、画像データパルス61Gと61Rの印加は、その直前の色の画像データパルスの印加から余り時間をおかずに行われることから、画像データパルス61Bとプリチャージ

パルス 6 2 G が時間的に重なり、画像データパルス 6 1 G とプリチャージパルス 6 2 R が時間的に重なっている。一方、最初の B 信号のプリチャージパルス 6 2 B が存在するときは、場合によって、このパルス 6 2 B が水平ブランキング期間 1 H B と時間的に重なる。

【0034】

ここで、図 5 (B) , (D) および (F) に示すパルス 6 3 B , 6 3 G および 6 3 R は、各セレクトスイッチをオンさせるプリチャージ許可パルスであり、そのパルス時間幅が色ごとに異なる。つまり、先頭のプリチャージ許可パルスほど持続時間が長い。前述した高精細ディスプレイの問題点では、配線容量が増大し信号線電位の充電の仕方がゆっくりとなることを説明したが (図 7 (A) 参照)、このような場合、セレクトスイッチが開いている時間が長いほど、より高い電位まで信号線が充電される。つまり、プリチャージ許可パルスの持続時間が長いほどプリチャージが十分となる。その意味で、先頭の B 信号のプリチャージパルス 6 2 B は不要な場合があり、必要な場合でもプリチャージの時間 (または電荷量) を短くできる。また、つぎの G 信号のプリチャージパルス 6 2 G によるプリチャージの時間 (または電荷量) は、そのつぎの R 信号のプリチャージパルス 6 2 R によるプリチャージの時間 (または電荷量) より短く (または少なく) できる。高精細ディスプレイの場合、このように後に表示される色ほど画素データの供給が不十分となるので、それに対応して、プリチャージを後に表示される色ほど強くかけることが望ましい。

図 6 に、このように後に表示される色ほどプリチャージを強くかける例を示す。なお、プリチャージの程度 (電荷量) は、図 6 に示すパルス数変化で制御するほか、パルス時間幅で制御し、あるいはパルスオン時に供給されるプリチャージ電圧 V_{pc} の値で制御することもでき、さらには、これらの組み合わせにより制御することもできる。なお、プリチャージ電圧 V_{pc} が、平均的な画素データ電圧値とはほぼ等しい場合、プリチャージ許可パルスの時間幅は、画素データパルスの時間幅より短くすることが望ましい。

【0035】

このような制御により、図 7 (C) に示すように、各信号線の画素データによる電位の上昇幅 V_1 が低い場合でも、その前のプリチャージによるオフセット電圧値 V_2 を確実に、あるいは、色に応じて必要な値だけ設定することができ、その結果、所望の明るさで所望の色バランスの映像表示が達成でき、高品質な画像が得られる。

また、図 1 に示すように、1 つの水平駆動回路 4 でプリチャージ回路を兼用でき、面積を小さくでき製造コストを抑制できる。

【0036】

なお、上記説明では本発明を画像表示装置に適用した場合を述べたが、図 2 に示すような構成のプリチャージ回路を T F T 等で構成し、表示パネルに内蔵させた場合、あるいは、図 2 に示すような構成のプリチャージ回路を、表示パネルを駆動する装置 (たとえば、駆動 I C) 内に内蔵させた場合の、表示パネルおよび駆動装置に本発明が適用できる。

【産業上の利用可能性】

【0037】

本発明は、LCD (liquid crystal display)、DMD (digital micro-mirror device)、あるいは有機 EL 素子などの固定画素の画像表示装置のほか、CRT のようなビーム走査型の画像表示装置に好適に利用できる。また、プリチャージ回路を内蔵した画像表示パネル、あるいは、画像表示パネルの駆動装置にも、本発明が好適に利用できる。

【図面の簡単な説明】

【0038】

【図 1】 本発明の実施の形態にかかる液晶表示装置の構成例を示すブロック図

【図 2】 プリチャージ機能付き水平駆動回路のセレクトの回路図

【図 3】 プリチャージ用の第 2 のセレクトスイッチ回路部の、より具体的な回路図

【図 4】 (A) は 1 つのセレクトスイッチの回路記号図、(B) はセレクトスイッチの変形例を示す回路記号図

【図 5】 (A) ~ (G) はプリチャージ動作時の各パルスのタイミングチャート

【図 6】 (A) ~ (D) はプリチャージ許可パルスの他の例を示すタイミングチャー

ト

【図 7】 (A) ~ (C) は背景技術の問題点の説明、および、本発明の効果の説明に用いた信号線に電圧を供給する許可パルスと信号線電位変化の関係を示す図

【図 8】 (A) および (B) は背景技術の説明に用いた、画素データとプリチャージを信号線の異なる側から行う技術の説明図

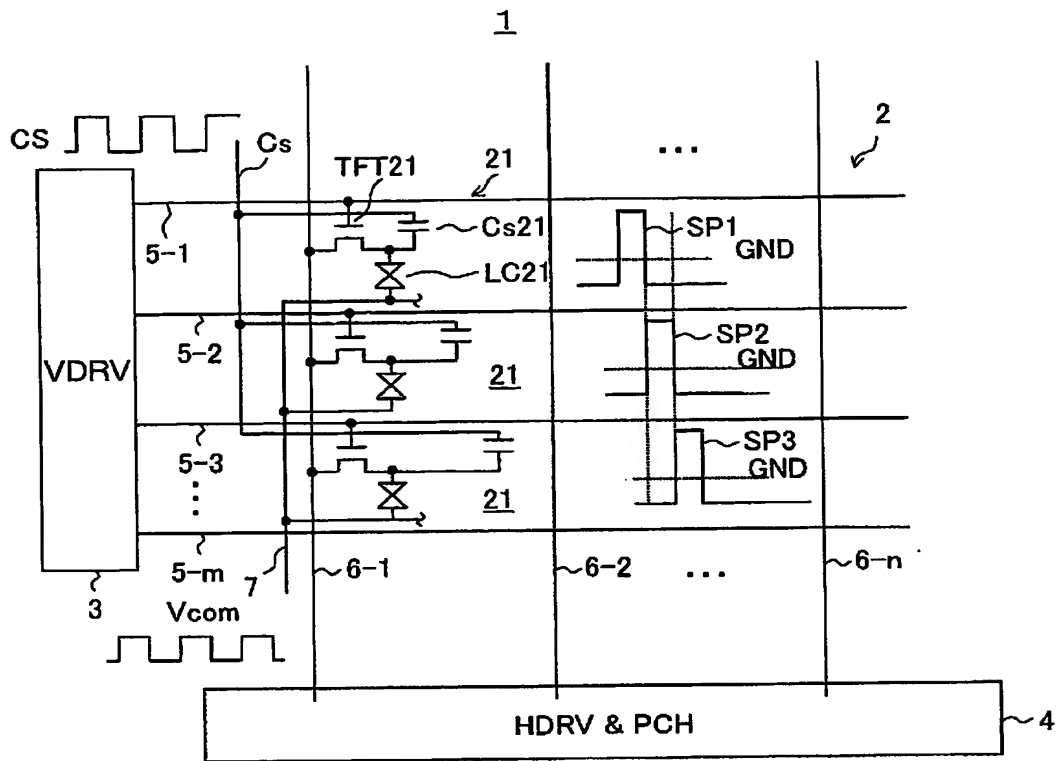
【図 9】 先行技術に記載された、水平駆動回路とプリチャージ回路とを分けて配置した画像表示装置のブロック図

【符号の説明】

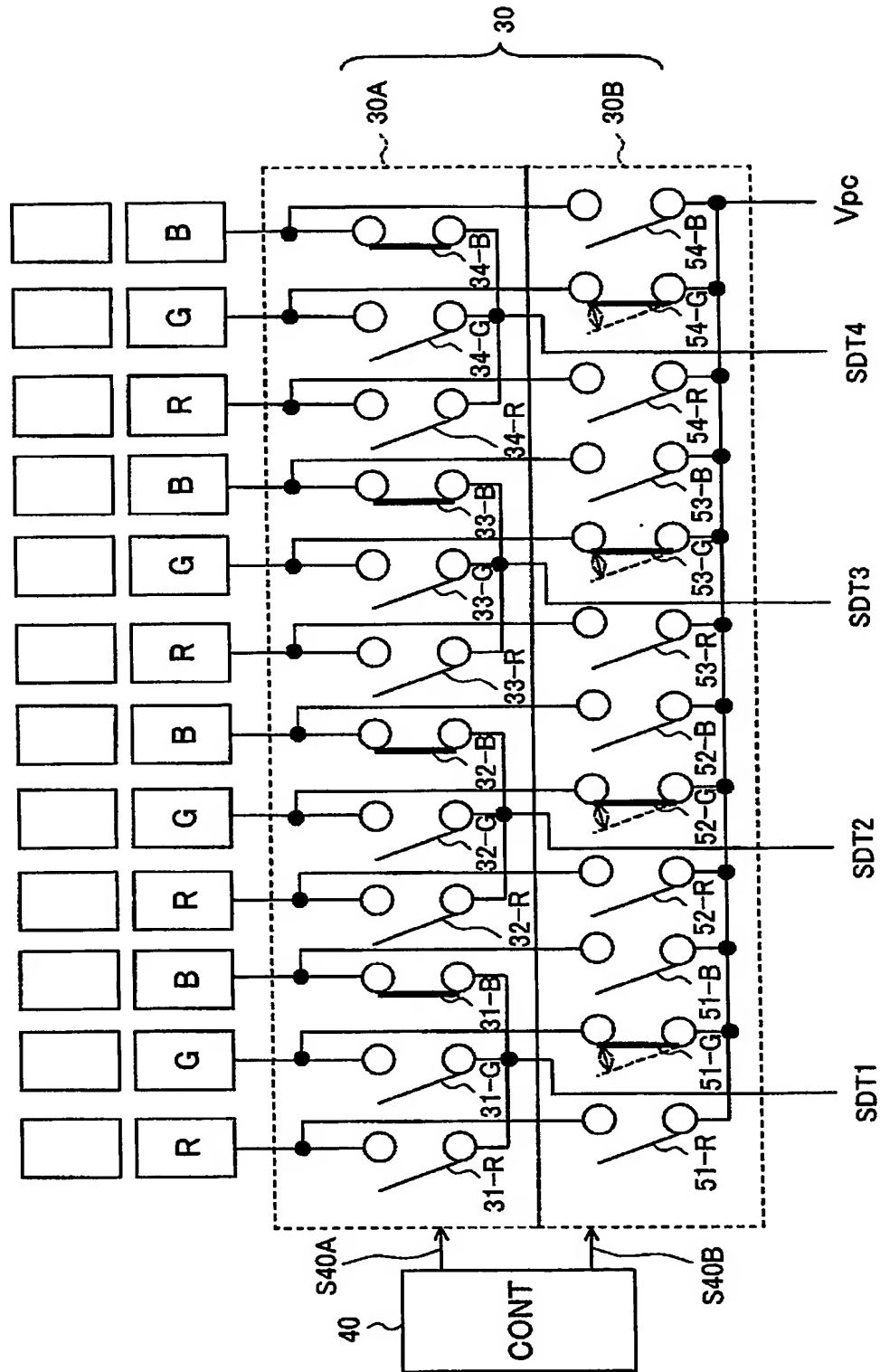
【0039】

1…液晶表示装置、2…有効画素部、3…垂直駆動回路 (VDRV)、4…プリチャージ機能付き水平駆動回路 (HDRV & PCH)、5P…pMOS トランジスタ、5N…nMOS トランジスタ、5-1~5-m…走査線、6, 6-1~6-n…信号線、7…Vcom 供給線、21…画素回路 (画素)、30…セクタ、30A…第 1 のセレクトスイッチ回路部、30B…第 2 のセレクトスイッチ回路部、31-R 等, 51-R 等 (および TMG) …セレクトスイッチ (トランスファゲート)、40…制御回路、60…水平パルス、61B 等…画素データパルス、62B 等…プリチャージ許可パルス、63B 等…画素データ供給の許可パルス、Cs…保持容量配線、TFT21…画素セレクト素子、LC21…液晶セル、Cs21…保持容量

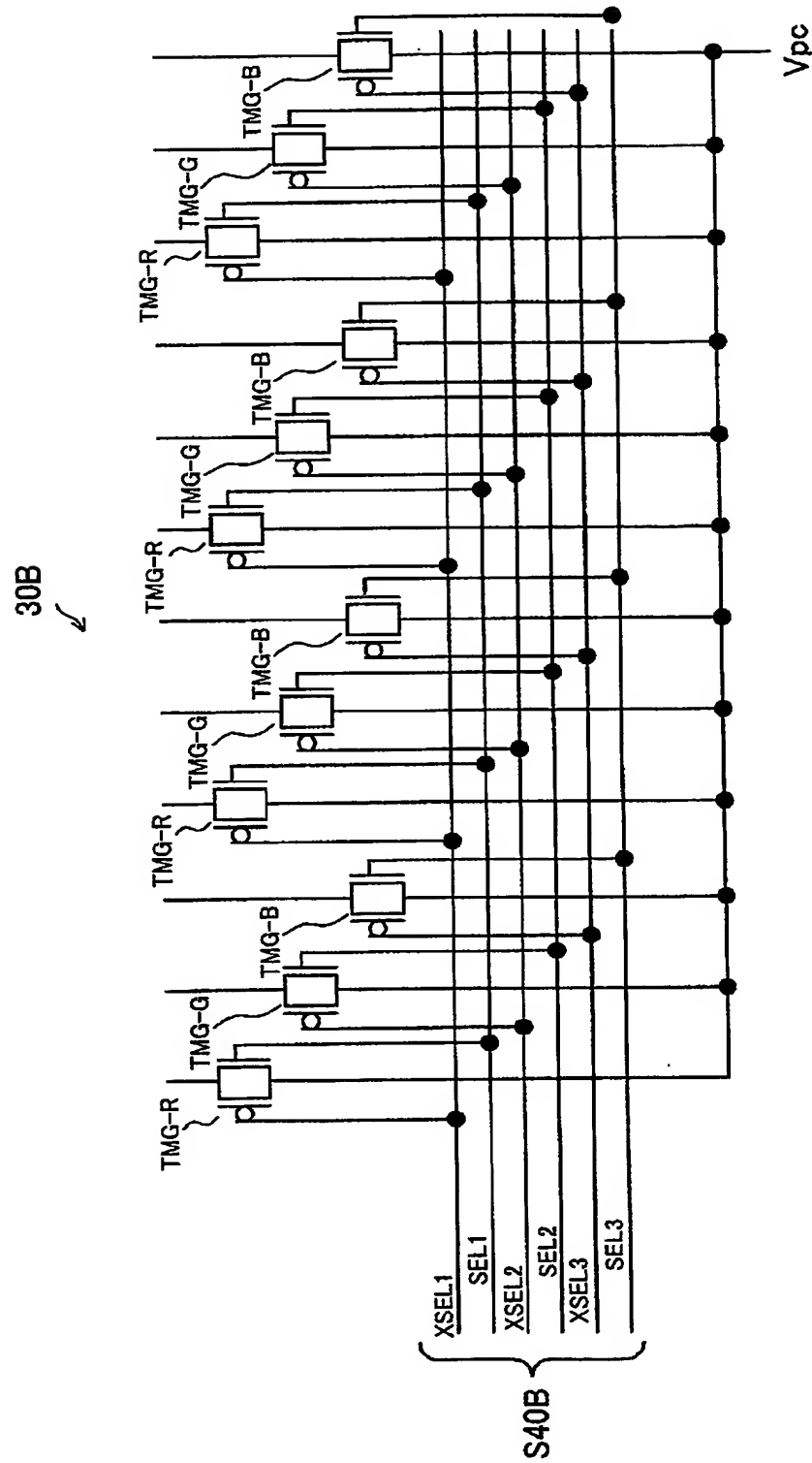
【書類名】 図面
【図 1】



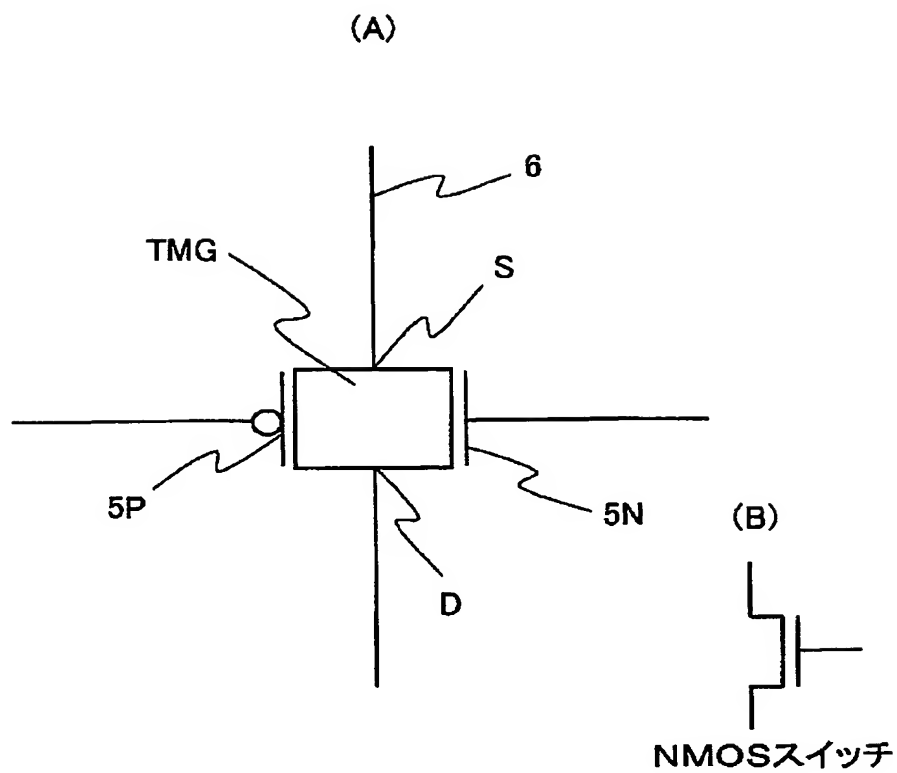
【図2】



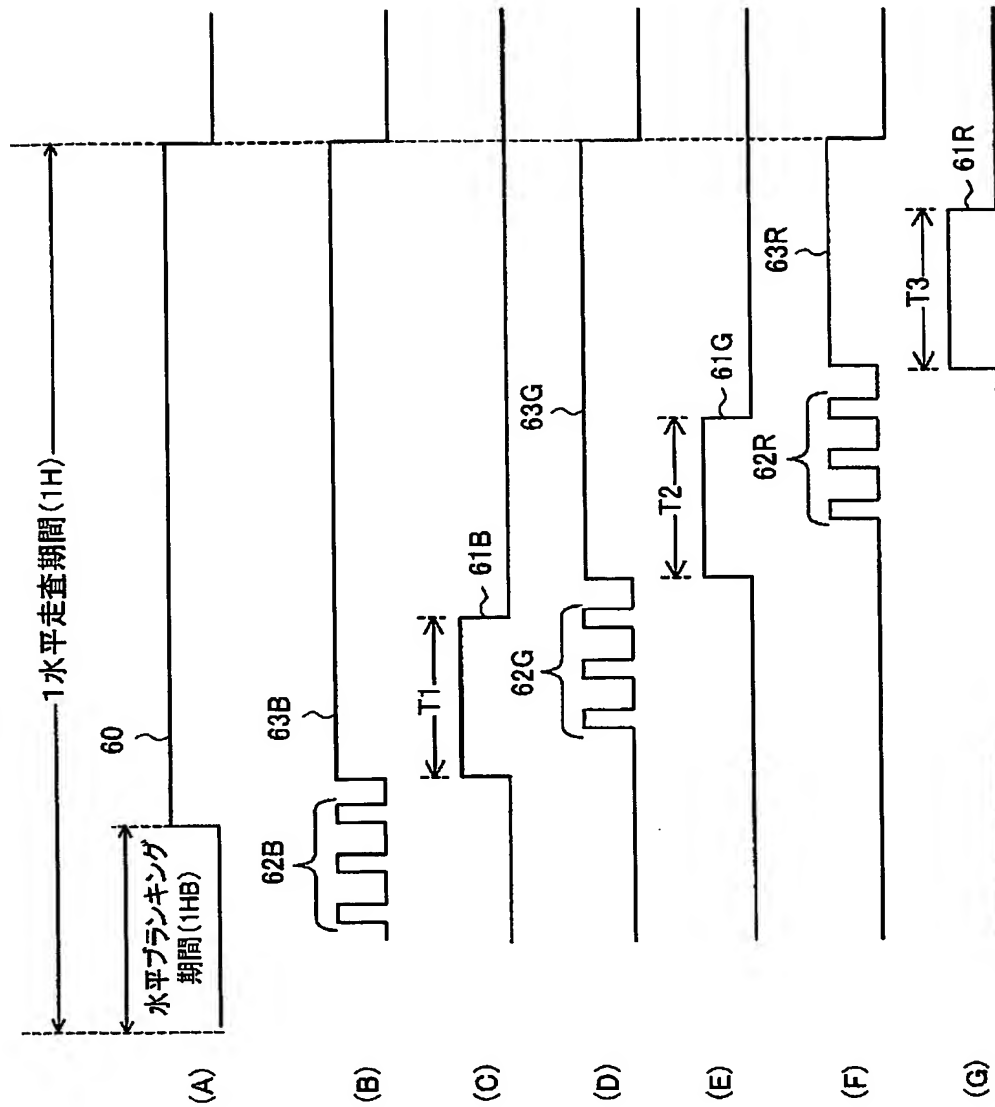
【図 3】



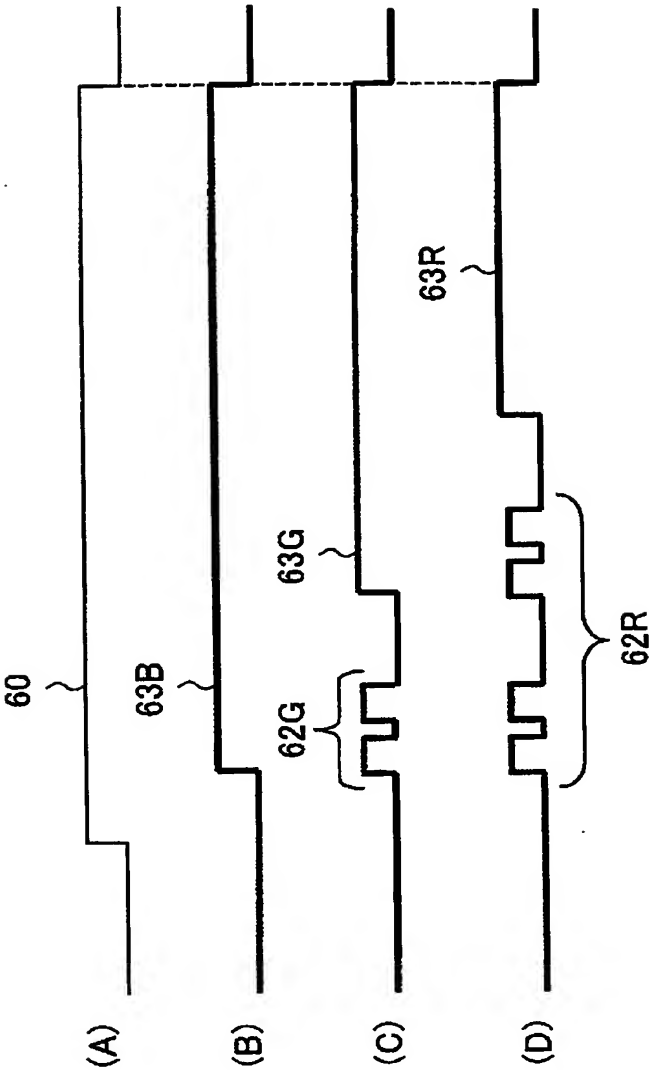
【図 4】



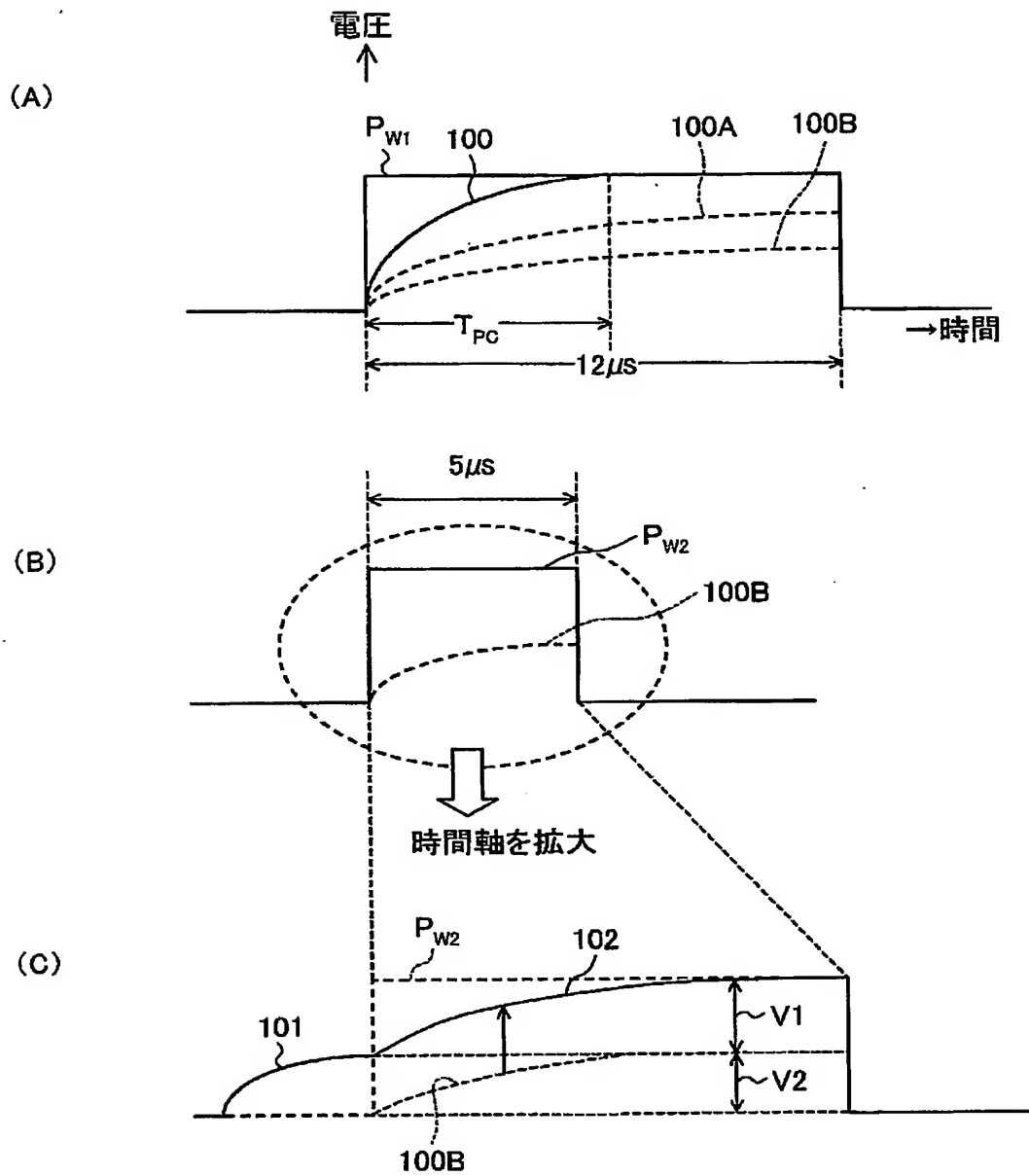
【図 5】



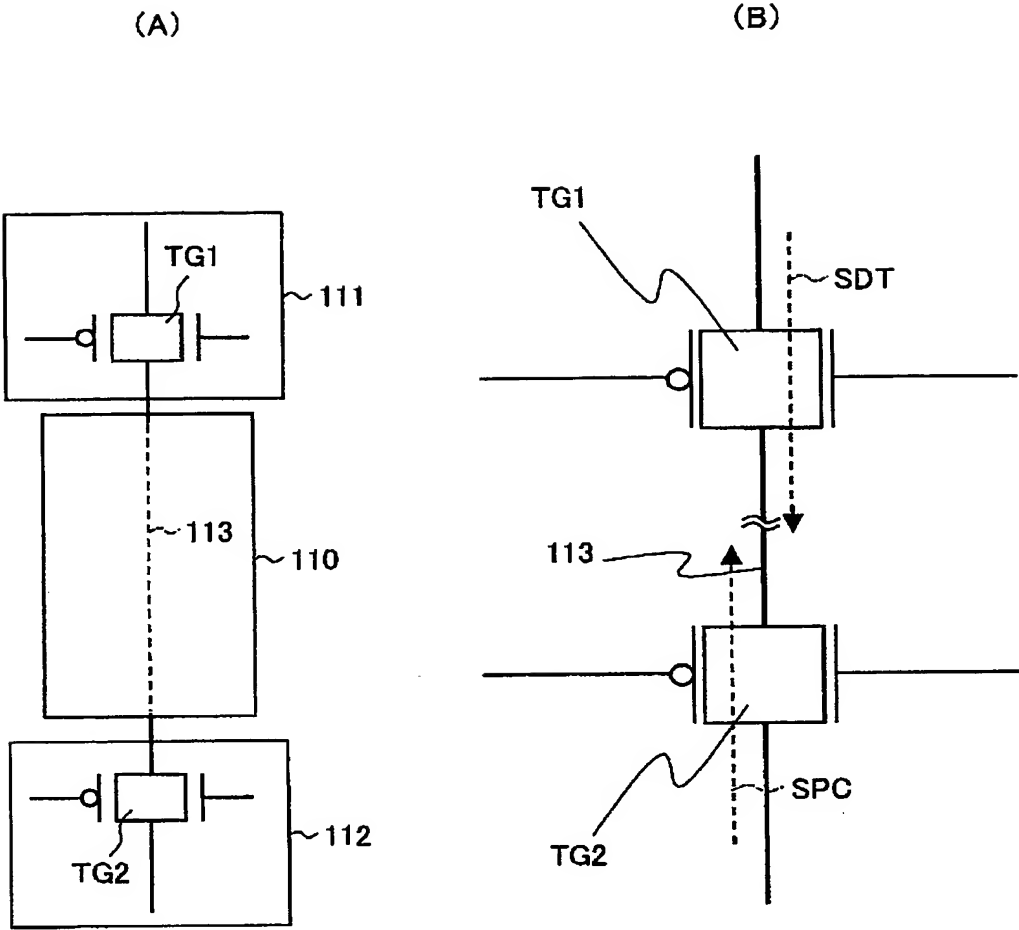
【図 6】



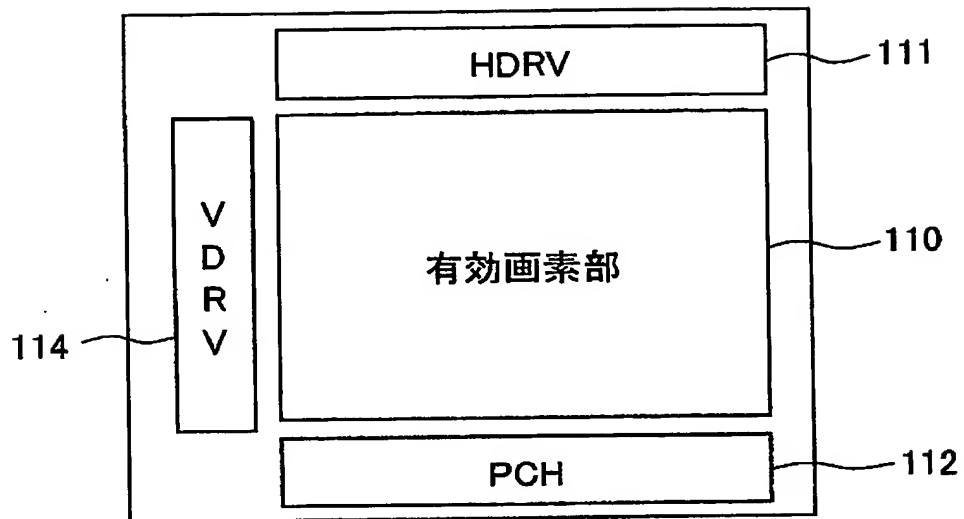
【図 7】



【図 8】



【図 9】



【書類名】 要約書**【要約】**

【課題】 画像表示装置の高精細化による信号線の負荷容量増大、その駆動クロックの高速化によって、信号線への十分なプリチャージが困難になってきている。

【解決手段】 ブランキング期間 1HB を除く 1H 期間であるライン表示期間中に、RGB の画素データパルス 61B ~ 61R が、それぞれ対応する信号線に色ごとに順次供給されて 1 つの画素ラインの色表示が行われる。信号線のそれぞれに接続されたセレクトスイッチの制御回路は、RGB の 1 色を表示させるときの信号線へのデータ供給の許可パルス 63B ~ 63R をセレクトスイッチに印加し、この印加の期間中に、同じライン表示期間内で後に表示させる他の色に対応した信号線のセレクトスイッチを、当該他の色の画素データの供給時間 T2 または T3 より短い時間幅のプリチャージ許可パルス 62G または 62R でオンさせて、当該他の色の信号線を予め所定の電位にプリチャージする。

【選択図】 図 5

特願 2 0 0 3 - 2 9 8 6 6 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社